

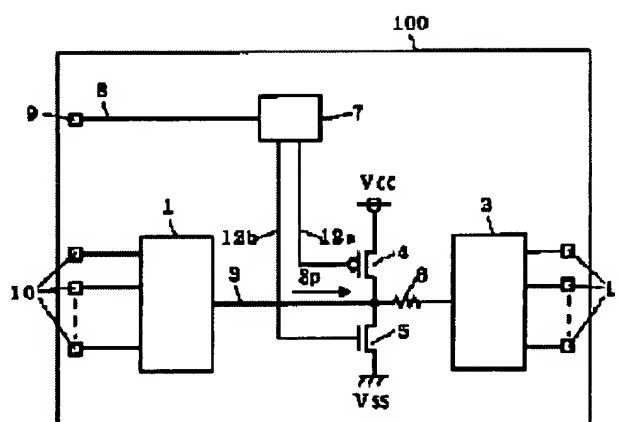
## REFLECTION SUPPRESSING DEVICE

**Patent number:** JP11154852  
**Publication date:** 1999-06-08  
**Inventor:** FUKUMOTO KOJI  
**Applicant:** MITSUBISHI ELECTRIC CORP  
**Classification:**  
- **International:** H03K19/0175; G06F3/00; H03H11/28  
- **European:**  
**Application number:** JP19970319671 19971120  
**Priority number(s):** JP19970319671 19971120

[Report a data error here](#)

### Abstract of JP11154852

**PROBLEM TO BE SOLVED:** To obtain a reflection suppressing device which suppresses reflections of signals in wiring, without accompanying wasteful power consumption. **SOLUTION:** A gate of a PMOS transistor 4 is connected to a wiring 8 via a wiring 12a, and gate of an NMOS transistor 5 is connected to the wiring 8 via a wiring 12b and an inverter 7. Also, the wiring 8 is connected to an external input terminal 9. A wait signal, etc., which is activated during memory access is inputted from the outside to the terminal 9. When a wait signal is not activated, both transistors 4 and 5 are turned on and function as terminating resistors. In the means time, when the wait signal is activated, both transistors 4 and 5 are turned off, and power will not consumed.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-154852

(43)公開日 平成11年(1999)6月8日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

H 0 3 K 19/0175

H 0 3 K 19/00

1 0 1 Q

G 0 6 F 3/00

G 0 6 F 3/00

K

H 0 3 H 11/28

H 0 3 H 11/28

審査請求 未請求 請求項の数6 OL (全 9 頁)

(21)出願番号 特願平9-319671

(22)出願日 平成9年(1997)11月20日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 福本 晃二

東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

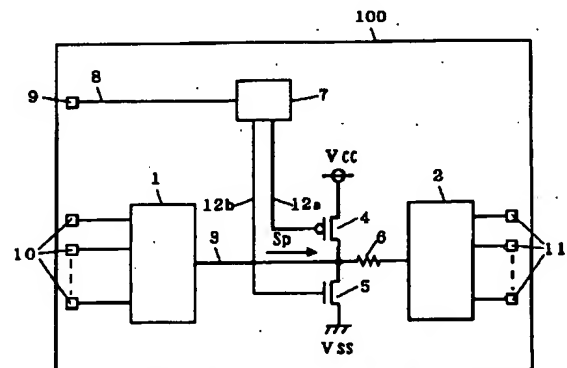
(74)代理人 弁理士 吉田 茂明 (外2名)

(54)【発明の名称】 反射抑制装置

(57)【要約】

【課題】 無駄な電力消費を伴うことなく配線における信号の反射を抑制することができる反射抑制装置を得る。

【解決手段】 PMOSTランジスタ4のゲートは配線12aを介して配線8に接続されており、NMOSTランジスタ5のゲートは配線12b及びインバータ7を介して配線8に接続されている。また、配線8は外部入力端子9に接続されている。外部入力端子9には、メモリへのアクセス中に活性化するウェイト信号等が外部から入力される。ウェイト信号が活性化されていない場合は、PMOSTランジスタ4及びNMOSTランジスタ5はいずれもオンとなり終端抵抗として機能する。一方、ウェイト信号が活性化されている場合は、PMOSTランジスタ4及びNMOSTランジスタ5はいずれもオフとなり電力が消費されることはない。



- |                    |             |
|--------------------|-------------|
| 1, 2: CMOS回路       | 7: 終端抵抗抑制回路 |
| 3, 8, 12a, 12b: 配線 | 9: 外部入力端子   |
| 4: PMOSTランジスタ      | 10: 入力端子    |
| 5: NMOSTランジスタ      | 11: 出力端子    |
| 6: 抵抗成分            | 100: 半導体基板  |

## 【特許請求の範囲】

【請求項 1】 第 1 及び第 2 の電子回路を有する半導体基板上に形成され、前記第 1 の電子回路から出力された信号を前記第 2 の電子回路へ伝送する前記半導体基板上の配線のインピーダンスが前記配線の経路中の少なくとも一つの位置で不連続に変化することに起因して生じる前記信号の反射を抑制する反射抑制装置であって、一方電極が電源に接続され、他方電極が前記位置と前記第 1 の電子回路との間で前記配線に接続され、制御電極が駆動制御手段に接続された第 1 のトランジスタと、一方電極が接地され、他方電極が前記位置と前記第 1 の電子回路との間で前記配線に接続され、制御電極が前記駆動制御手段に接続された第 2 のトランジスタとを備え、

前記駆動制御手段は、前記配線における前記信号の伝送の有無を示唆する少なくとも一つの所定信号に基づいて、前記伝送が行われている場合には前記第 1 及び第 2 のトランジスタとともに駆動し、前記伝送が行われていない場合には前記第 1 及び第 2 のトランジスタの駆動とともに停止する反射抑制装置。

【請求項 2】 前記駆動制御手段に接続された外部入力端子をさらに備え、

前記少なくとも一つの所定信号は、前記外部入力端子に入力される外部入力信号として得られる、請求項 1 記載の反射抑制装置。

【請求項 3】 前記少なくとも一つの所定信号は、前記第 1 の電子回路を構成する特定内部配線の電位変化として得られる、請求項 1 記載の反射抑制装置。

【請求項 4】 前記少なくとも一つの所定信号は、一つの前記所定信号のみからなることを特徴とする、請求項 2 又は 3 記載の反射抑制装置。

【請求項 5】 前記少なくとも一つの所定信号は、複数の前記所定信号を有することを特徴とする、請求項 2 又は 3 記載の反射抑制装置。

【請求項 6】 前記駆動制御手段に接続された外部入力端子をさらに備え、

前記少なくとも一つの所定信号の一部は、前記外部入力端子に入力される外部入力信号として得られ、

前記少なくとも一つの所定信号の他の一部は、前記第 1 の電子回路を構成する特定内部配線の電位変化として得られる、請求項 1 記載の反射抑制装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、配線における信号の反射を抑制する反射抑制装置に関するものである。

## 【0002】

【従来の技術】 近年、半導体集積回路の高集積化が進む一方で、高速動作化も進められている。例えば、現在一般的に使用されているマイクロプロセッサは 200 メガヘルツの基本動作クロック信号の下で動作しており、演

算処理速度は今後ますます高速化することが予想される。この発明は、一般に数百メガヘルツを超える高周波数で動作する半導体集積回路に適用されるものであるが、以下の記載では、マイクロプロセッサを例にとり説明する。

【0003】 図 11 は、マイクロプロセッサの一般的な構成を示すブロック図である。ここでは、半導体基板 100 上に形成された各回路のレイアウトを概略的に示した。図 11 に示すマイクロプロセッサは、内部データバス 56 及び内部アドレスバス 57 を制御するためのバス制御回路 51 と、バス制御回路 51 から出力される命令コードをデコードする命令デコーダ回路 52 と、命令デコーダ回路 52 の出力信号に応答して制御信号 Sc を発生する制御回路 53 と、制御信号 Sc に応答して演算を実行する演算実行回路 54 と、制御信号 Sc を演算実行回路 54 に伝送する制御信号線 55 とを備えている。演算において用いられるデータ及びアドレスは外部からバス制御回路 51 に入力され、さらに内部データバス 56 及び内部アドレスバス 57 をそれぞれ介して演算実行回路 54 に与えられる。また、制御信号 Sc は、制御信号線 55 を介して演算実行回路 54 に伝送される。

【0004】 図 12 は、マイクロプロセッサにおける信号の伝送を説明するためのブロック図である。半導体基板 100 上に、CMOS 回路 1、2、配線 3、入力端子 10、及び出力端子 11 が形成されている。ここで、CMOS 回路 1、2 は、図示されていない CMOS トランジスタによってそれぞれ構成されている。また、配線 3 は CMOS 回路 1 と CMOS 回路 2 とを接続するための配線であり、図 11 に示した内部データバス 56、内部アドレスバス 57、及び制御信号線 55 のうちのいずれか一本に相当するものである。

【0005】 配線 3 が長い配線経路を有する場合、配線 3 にはコンタクトホールを用いた接続箇所や配線の線幅が狭くなる箇所等が存在し、このような箇所では一般に配線 3 の特性インピーダンスが部分的に変化する。図 12 に示す抵抗成分 6 は、例えばコンタクトホールを用いた接続箇所において生じる配線 3 の特性インピーダンスの不整合を等価的に示したものである。なお、図 12 では簡略化のため一つの不連続箇所に対応する抵抗成分 6 のみを示したが、マイクロプロセッサが数百メガヘルツを超える基本動作クロック信号の下で動作する場合、このようなインピーダンスの不連続箇所は、長い配線経路中の複数の箇所が生じ得る。

【0006】 伝送信号 Sp を CMOS 回路 1 から配線 3 を介して CMOS 回路 2 に伝送しようとする場合、伝送信号 Sp のエネルギーの一部は抵抗成分 6 によって反射される。かかる反射が生じる原因は次のように説明される。伝送信号 Sp は数百メガヘルツを超える高い周波数のデジタルクロック信号であり、その中には高い周波数の様々な信号成分が含まれるため、配線 3 は高い周波数

## 3

での信号伝送における特性インピーダンスを有しているものと理解される。従って、抵抗成分6の存在は、配線18における特性インピーダンスの不連続点として働くことになる。換言すれば、抵抗成分6の存在によって配線3に特性インピーダンスの不整合が生じており、かかる特性インピーダンスの不整合箇所の存在により伝送信号 $S_p$ の反射が生じることになる。

【0007】伝送信号 $S_p$ が抵抗成分6により反射され反射信号 $S_r$ を生じた場合、この反射信号 $S_r$ の影響によって伝送信号 $S_p$ から高い周波数の信号成分が部分的に失われ、実際に伝送される信号 $S_t$ の波形を変化させる。例えば、信号 $S_t$ の急峻な立ち上がり又は立ち下がり失われた場合は、CMOS回路2における誤動作を引き起こす要因となる。

【0008】図13は、特開平5-167426号公報に記載された従来の反射抑制装置を搭載した半導体集積回路の構成を示す回路図である。制御電圧発生回路33は外部から電源電位 $V_{CC}$ 及び接地電位 $V_{SS}$ を受け、各々が予め定められた電圧レベルを有する制御電圧 $V_1$ 乃至 $V_4$ を発生する。スイッチング回路31は、外部入力端子34を介して与えられる制御信号 $S_1$ にตอบสนองして、制御電圧 $V_1$ 、 $V_2$ をPMOSTランジスタ5a、6aのゲートに選択的に与える。また、スイッチング回路32は、外部入力端子35を介して与えられる制御信号 $S_2$ にตอบสนองして、制御電圧 $V_3$ 、 $V_4$ をNMOSTランジスタ7a、8aのゲートに選択的に与える。一般に、MOSランジスタのオン抵抗はそのゲートに与えられるゲート電圧に依存して変化する。ここに挙げた従来の反射抑制装置では、PMOSTランジスタ5a、6a、及びNMOSTランジスタ7a、8aの各ゲート電圧を外部から制御し得るため、各ランジスタのオン抵抗を所望の値に設定することができる。従って、配線3の特性インピーダンスに基づいてランジスタ5a、6a、7a、8aのオン抵抗を最適な値に設定することにより、抵抗成分6の存在によって生じる信号の反射が抑制される。

【0009】

【発明が解決しようとする課題】しかし、このような従来の反射抑制装置では、PMOSTランジスタ5a、6aのうち少なくともいずれか一方、及びNMOSTランジスタ7a、8aのうち少なくともいずれか一方が常にオンされているため、配線3に信号が伝送していない状態においても電力が消費されるという問題があった。

【0010】この発明は、かかる問題を解決するために成されたものであり、高い周波数の下で動作する半導体集積回路において、無駄な電力消費を伴うことなく配線における信号の反射を抑制することができる反射抑制装置を得ることを目的とするものである。

【0011】

【課題を解決するための手段】この発明のうち請求項1に係る反射抑制装置は、第1及び第2の電子回路を有す

## 4

る半導体基板上に形成され、第1の電子回路から出力された信号を第2の電子回路へ伝送する半導体基板上の配線のインピーダンスが配線の経路中の少なくとも一つの位置で不連続に変化すること起因して生じる信号の反射を抑制する反射抑制装置であって、一方電極が電源に接続され、他方電極が位置と第1の電子回路との間で配線に接続され、制御電極が駆動制御手段に接続された第1のトランジスタと、一方電極が接地され、他方電極が位置と第1の電子回路との間で配線に接続され、制御電極が駆動制御手段に接続された第2のトランジスタとを備え、駆動制御手段は、配線における信号の伝送の有無を示唆する少なくとも一つの所定信号に基づいて、伝送が行われている場合には第1及び第2のトランジスタとともに駆動し、伝送が行われていない場合には第1及び第2のトランジスタの駆動とともに停止するものである。

【0012】また、この発明のうち請求項2に係る反射抑制装置は、請求項1記載の反射抑制装置であって、駆動制御手段に接続された外部入力端子をさらに備え、少なくとも一つの所定信号は、外部入力端子に入力される外部入力信号として得られるものである。

【0013】また、この発明のうち請求項3に係る反射抑制装置は、請求項1記載の反射抑制装置であって、少なくとも一つの所定信号は、第1の電子回路を構成する特定内部配線の電位変化として得られるものである。

【0014】また、この発明のうち請求項4に係る反射抑制装置は、請求項2又は3記載の反射抑制装置であって、少なくとも一つの所定信号は、一つの所定信号のみからなることを特徴とするものである。

【0015】また、この発明のうち請求項5に係る反射抑制装置は、請求項2又は3記載の反射抑制装置であって、少なくとも一つの所定信号は、複数の所定信号を有することを特徴とするものである。

【0016】また、この発明のうち請求項6に係る反射抑制装置は、請求項1記載の反射抑制装置であって、駆動制御手段に接続された外部入力端子をさらに備え、少なくとも一つの所定信号の一部は、外部入力端子に入力される外部入力信号として得られ、少なくとも一つの所定信号の他の一部は、第1の電子回路を構成する特定内部配線の電位変化として得られるものである。

【0017】

【発明の実施の形態】実施の形態1. 図1は、本発明の実施の形態1に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。半導体基板100上に、入力端子10に接続されたCMOS回路1（第1の電子回路）と、出力端子11に接続されたCMOS回路2（第2の電子回路）とが形成されており、CMOS回路1、2は配線3を介して互いに接続されている。抵抗成分6は、従来の技術で説明したごとく、コンタクトホールを用いた接続箇所等において生じる配線

3の特性インピーダンスの不整合を等価的に示したものである。抵抗成分6に先立ってPMOSTランジスタ4及びNMOSTランジスタ5が設けられている。PMOSTランジスタ4のソース及びドレインは電源 $V_{CC}$ 及び配線3にそれぞれ接続されており、NMOSTランジスタ5のソース及びドレインは接地 $V_{SS}$ 及び配線3にそれぞれ接続されている。また、PMOSTランジスタ4及びNMOSTランジスタ5の各ゲートは、配線12a、12bをそれぞれ介して終端抵抗制御回路7（駆動制御手段）に接続されており、終端抵抗制御回路7は配線8を介して外部入力端子9に接続されている。また、図2は、終端抵抗制御回路7の具体的な構成を示す回路図である。配線8は配線12aと接続されるとともに、インバータ24を介して配線12bと接続される。

【0018】一般にMOSTランジスタは抵抗としても機能するが、図1に示すPMOSTランジスタ4及びNMOSTランジスタ5も抵抗として、特に配線3に関する特性インピーダンスの不整合を解消するための終端抵抗として機能するものである。なお、配線3の特性インピーダンスは、配線3の線幅、厚さ、誘電率、シート抵抗等に基づく計算あるいはシミュレーションによって求められ、また、PMOSTランジスタ4及びNMOSTランジスタ5のオン抵抗は、電力消費又は伝送信号の振幅の減少等を考慮して設定される。例えば、配線3のインピーダンスが $Z_0$ である場合、PMOSTランジスタ4及びNMOSTランジスタ5のオン抵抗をそれぞれ $2Z_0$ に設定してもよい。

【0019】外部入力端子9には、例えば、メモリ（図示しない）へのアクセス中に活性化するウェイト信号や、マルチプロセッサを想定した場合に使用されないマイクロプロセッサに対して活性化する信号等が外部から入力される。従って、これらの信号が活性化されているということは、マイクロプロセッサが駆動されていないこと、即ち、信号が配線3を伝送していないことを意味し、逆に、これらの信号が活性化されていないということは、マイクロプロセッサが駆動されていること、即ち、信号が配線3を伝送していることを意味する。

【0020】以下、ウェイト信号を例にとり動作を説明する。第1に、上記ウェイト信号が活性化されていない場合は、配線8のレベルは「L」となり、配線8に接続される配線12aのレベルも「L」となるため、PMOSTランジスタ4はオンとなる。一方、配線12bはインバータ7を介して配線8に接続されているため、配線8のレベルが「L」であれば配線12bのレベルは「H」となり、NMOSTランジスタ5はオンとなる。以上より、ウェイト信号が活性化されていない場合はPMOSTランジスタ4及びNMOSTランジスタ5はともにオンとなり、終端抵抗として機能する。これにより、マイクロプロセッサが駆動されている状態において配線3を伝送する信号の反射が抑制される。

【0021】第2に、ウェイト信号が活性化されている場合は、配線8のレベルは「H」となるため、配線12aのレベルは「H」となり、配線12bのレベルはインバータ24の作用により「L」となる。従って、PMOSTランジスタ4及びNMOSTランジスタ5はいずれもオフとなる。

【0022】このように本実施の形態1に係る反射抑制装置によれば、信号が配線3を伝送している場合にはPMOSTランジスタ4及びNMOSTランジスタ5をとともにオンとして終端抵抗として機能させ、一方、信号が配線3を伝送していない場合には、PMOSTランジスタ4及びNMOSTランジスタ5をいずれもオフとして終端抵抗の駆動を停止する。従って、信号が配線3を伝送していない状態においてPMOSTランジスタ4及びNMOSTランジスタ5がオンされることによって生じる電力消費を回避することができる。

【0023】実施の形態2。上記実施の形態1では、一つの外部入力信号により終端抵抗の駆動を制御する場合について説明したが、複数の外部入力信号により制御することもできる。

【0024】図3は、本発明の実施の形態2に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。外部入力端子15a、15bが半導体基板100上に設けられており、外部入力端子15a、15bは、それぞれ配線13a、13bを介して終端抵抗制御回路12（駆動制御手段）に接続されている。また、PMOSTランジスタ4及びNMOSTランジスタ5のそれぞれのゲートは、配線14a及び14bを介して終端抵抗制御回路12に接続されている。

【0025】図4は、終端抵抗制御回路12の具体的な構成を示す回路図である。OR回路16の一方の入力端子に配線13aが接続され、他方の入力端子に配線13bが接続される。また、OR回路16の出力端子には、配線14aが接続されるとともに、配線14bがインバータ17を介して接続される。

【0026】以下、メモリへのアクセス中に活性化するウェイト信号が外部入力端子15aに入力され、使用されないマイクロプロセッサに対して活性化する信号が外部入力端子15bに入力される場合を例にとり説明する。このとき、上記2つの信号のうちいずれか一方でも活性化されればマイクロプロセッサは駆動されていないものとする。第1に、これら2つの信号のうちいずれか一方の信号が活性化された場合、即ち、配線13a及び13bのうちいずれか一方の配線のレベルが「H」となった場合は、OR回路16は「H」を出力する。従って、配線14aのレベルは「H」となるとともに、配線14bのレベルはインバータ17の作用により「L」となる。従って、この場合はPMOSTランジスタ4及びNMOSTランジスタ5はいずれもオフとなる。

【0027】第2に、2つの信号がともに活性化された

場合は、上記と同様にOR回路16は「H」を出力し、配線14aのレベルは「H」、配線14bのレベルは「L」となる。従って、この場合もPMOSトランジスタ4及びNMOSトランジスタ5はいずれもオフとなる。

【0028】第3に、2つの信号がともに活性化されない場合は、配線13a及び13bのレベルはともに「L」であるため、OR回路16は「L」を出力する。従って、配線14aのレベルは「L」となり、配線14bのレベルはインバータ17の作用により「H」となる。従って、この場合はPMOSトランジスタ4及びNMOSトランジスタ5はいずれもオンとなり、終端抵抗として機能する。ここで、2つの信号がともに活性化されないということはマイクロプロセッサが駆動されている状態にあることを意味するため、終端抵抗の機能により配線3を伝送する信号の反射が抑制される。

【0029】このように本実施の形態2に係る反射抑制装置によれば、配線3における信号の伝送の有無を示唆する複数の外部入力信号のうち、少なくともいずれか1つの信号が活性化された場合にはPMOSトランジスタ4及びNMOSトランジスタ5をともにオフとするため、上記実施の形態1と同様に、信号が配線3を伝送していない状態においてPMOSトランジスタ4及びNMOSトランジスタ5がオンされることによって生じる電力消費を回避することができる。

【0030】また、1つの外部入力信号のみによっては配線3における信号の伝送の有無が把握できない場合であっても、外部入力端子15a、15bに入力される複数の外部入力信号の組み合わせによってこれを把握することができる。

【0031】実施の形態3。上記実施の形態1及び2では、配線3における信号の伝送の有無を外部入力信号が活性化されるか否かにより把握していたが、マイクロプロセッサの内部回路の状態から把握することもできる。

【0032】図5は、本発明の実施の形態3に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。CMOS回路1を構成する内部配線のうち、その内部配線のレベルが「H」又は「L」になることにより配線3に信号が伝送されているか否かが示唆される1本の内部配線（図示しない）を特定し、その特定した内部配線と終端抵抗制御回路18（駆動制御手段）とを配線19によって接続する。また、終端抵抗制御回路18は、配線14a、14bを介してPMOSトランジスタ4のゲート及びNMOSトランジスタ5のゲートにそれぞれ接続される。

【0033】図6は、終端抵抗制御回路18の具体的な構成を示す回路図である。配線19は、配線14bに接続されるとともに、インバータ20を介して配線14aに接続される。以下、内部配線のレベルが「L」の場合は配線3に信号が伝送されず、「H」の場合は信号が伝

送されるような内部配線を特定したものと説明する。第1に、特定した内部配線のレベルが「H」の場合は、その内部配線に接続されている配線19のレベルも「H」となる。従って、配線14aのレベルは「L」、配線14bのレベルは「H」となり、PMOSトランジスタ4及びNMOSトランジスタ5はともにオンとなる。従って、PMOSトランジスタ4及びNMOSトランジスタ5は終端抵抗として機能し、配線3を伝送する信号の反射を抑制する。

【0034】第2に、特定した内部配線のレベルが「L」の場合は、配線19のレベルは「L」、配線14aのレベルは「H」、配線14bのレベルは「L」となり、PMOSトランジスタ4及びNMOSトランジスタ5はともにオフとなる。

【0035】このように本実施の形態3に係る反射抑制装置によれば、配線3が接続されるCMOS回路1の内部配線のレベルに応じて終端抵抗の駆動を制御するため、配線3における信号の伝送の有無を直接的に把握することができる。従って、終端抵抗制御回路18が配線3における信号の伝送の有無を直接的に把握し、終端抵抗の駆動を制御することができるため、さらに消費電力を低減することができる。

【0036】また、外部入力信号の入力が不要であるため新たに外部入力端子を設ける必要もなく、実施の形態1及び2に示した反射抑制装置と比較すると、装置の簡略化を図ることができる。

【0037】実施の形態4。上記実施の形態3では、特定した1本の内部配線のレベルの変化に応じて終端抵抗の駆動を制御する場合について説明したが、複数の内部配線を特定して終端抵抗を制御することもできる。

【0038】図7は、本発明の実施の形態4に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。CMOS回路1を構成する内部配線のうち、その内部配線のレベルが「H」又は「L」になることにより配線3に信号が伝送されているか否かが示唆される2本の内部配線（図示しない）を特定し、それら特定した内部配線と終端抵抗制御回路25（駆動制御手段）とを配線21a、21bによってそれぞれ接続する。また、終端抵抗制御回路25は、配線14a、14bを介してPMOSトランジスタ4のゲート及びNMOSトランジスタ5のゲートにそれぞれ接続される。

【0039】以下、特定した2本の内部配線のうち少なくとも一方の内部配線のレベルが「H」の場合は配線3に信号が伝送されており、2本の内部配線のレベルがともに「L」の場合は配線3に信号が伝送されていないことを示唆する内部配線を特定した場合を例にとり説明する。図8は、これを実現する終端抵抗制御回路25の具体的な構成を示す回路図である。配線21aをOR回路22の一方の入力端子に接続し、配線21bを他方の入力端子に接続する。また、OR回路22の出力端子に

は、配線14bを接続するとともに、配線14aをインバータ23を介して接続する。

【0040】特定した2本の内部配線のレベルがともに「L」の場合は、配線21a及び21bのレベルはともに「L」となり、OR回路22は「L」を出力する。従って、配線14bのレベルは「L」となり、配線14aのレベルはインバータ23の作用により「H」となる。これにより、PMOSTランジスタ4及びNMOSTランジスタ5はともにオフとなる。一方、特定した2本の内部配線のうち少なくともいずれか一方の内部配線のレベルが「H」である場合は、OR回路22は「H」を出力し、配線14aのレベルは「L」、配線14bのレベルは「H」となる。従って、PMOSTランジスタ4及びNMOSTランジスタ5はともにオンとなり、終端抵抗として機能する。

【0041】このように本実施の形態4に係る反射抑制装置によれば、上記実施の形態3と同様の効果が得られることに加えて、配線3における信号の伝送の有無を単独で示唆し得る1本の内部配線を特定できない場合であっても、複数の内部配線を特定し、これら複数の内部配線のレベルの組み合わせによって配線3における信号の伝送の有無を把握することができる。

【0042】実施の形態5。図9は、本発明の実施の形態5に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。図9に示すごとく本実施の形態5は、上記実施の形態2と4とを組み合わせ、外部入力信号が活性化されるか否かと、CMOS回路1の内部配線のレベルの変化とに応じて、配線3における信号の伝送の有無を把握するものである。

【0043】以下、外部入力信号15a及び15bに入力される信号のいずれもが活性化されないか、又は、配線21a及び21bのレベルがともに「H」になった場合に、信号が配線3を伝送するマイクロプロセッサを例にとり説明する。図10は、これを実現する終端抵抗制御回路26（駆動制御手段）の具体的な構成を例示する回路図である。NOR回路27の一方の入力端子に配線13aを接続し、他方の入力端子には配線13bを接続する。また、AND回路28の一方の入力端子に配線21aを接続し、他方の入力端子には配線21bを接続する。NOR回路27及びAND回路28の出力をともにOR回路29に入力し、OR回路29の出力端子は、配線14bに接続するとともに、インバータ30を介して配線14aに接続する。

【0044】なお、以上は実施の形態2と4とを組み合わせる例について示したが、実施の形態1と3や、実施の形態1と4、あるいは実施の形態2と3とを組み合わせてもよい。

【0045】このように本実施の形態5に係る反射抑制装置によれば、外部入力信号が活性化されるか否か、及びCMOS回路1の内部配線のレベルの変化のうち、い

ずれか一方のみでは配線3における信号の伝送の有無が把握されない場合に、実施の形態1乃至4を組み合わせることにより、適切にこれを把握することができる。

【0046】

【発明の効果】この発明のうち請求項1に係るものによれば、信号が配線を伝送している場合には第1及び第2のトランジスタとともに駆動し終端抵抗として機能させることにより信号の反射を抑制することができるとともに、信号が配線を伝送していない場合には、第1及び第2のトランジスタの駆動とともに停止することにより電力の消費を回避することができる。

【0047】また、この発明のうち請求項2に係るものによれば、メモリへのアクセス中に活性化するウェイト信号や、マルチプロセッサを想定した場合に使用されないマイクロプロセッサに対して活性化する信号等を用いて、配線における信号の伝送の有無を把握することができる。

【0048】また、この発明のうち請求項3に係るものによれば、第1の電子回路は信号が伝送される配線に接続されているため、配線における信号の伝送の有無を直接的に把握することができる。従って、請求項2に記載された反射抑制装置と比較すると、第1及び第2のトランジスタの駆動を素早く停止することができ、さらなる消費電力の低減を図ることができる。また、新たに外部入力端子を設ける必要もないため、装置を簡略化することもできる。

【0049】また、この発明のうち請求項4に係るものによれば、一つの所定信号のみに基づいて配線における信号の伝送の有無を把握するため、装置の構成を簡単にすることができる。

【0050】また、この発明のうち請求項5に係るものによれば、一つの所定信号のみでは配線における信号の伝送の有無を把握できない場合においても、複数の所定信号の組み合わせによりこれを適切に把握することができる。

【0051】また、この発明のうち請求項6に係るものによれば、外部入力信号及び電位変化のいずれか一方のみによっては、配線における信号の伝送の有無を把握できない場合においても、外部入力信号と電位変化との組み合わせによりこれを適切に把握することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。

【図2】 終端抵抗制御回路7の具体的な構成を示す回路図である。

【図3】 本発明の実施の形態2に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。

【図4】 終端抵抗制御回路12の具体的な構成を示す

回路図である。

【図5】 本発明の実施の形態3に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。

【図6】 終端抵抗制御回路18の具体的な構成を示す回路図である。

【図7】 本発明の実施の形態4に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。

【図8】 終端抵抗制御回路25の具体的な構成を示す回路図である。

【図9】 本発明の実施の形態5に係る反射抑制装置を搭載したマイクロプロセッサの構成を概略的に示す回路図である。

図である。

【図10】 終端抵抗制御回路26の具体的な構成を例示する回路図である。

【図11】 マイクロプロセッサの一般的な構成を示すブロック図である。

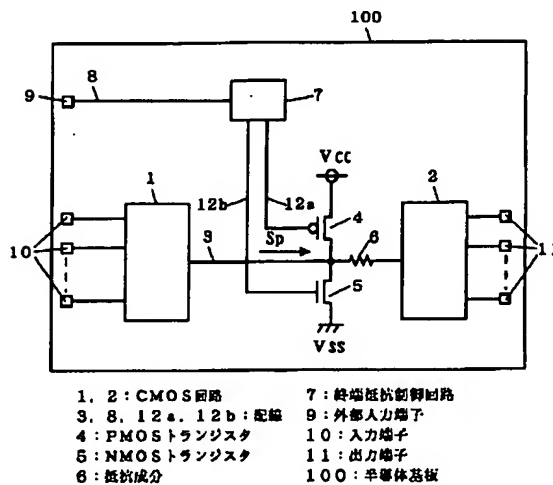
【図12】 マイクロプロセッサにおける信号の伝送を説明するためのブロック図である。

【図13】 従来の反射抑制装置を搭載した半導体集積回路の構成を示す回路図である。

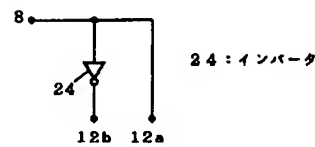
10 【符号の説明】

1, 2 CMOS回路、3 配線、4 PMOSトランジスタ、5 NMOSトランジスタ、6 抵抗成分、7, 12, 18, 25, 28 終端抵抗制御回路。

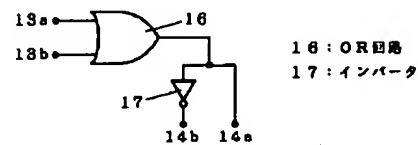
【図1】



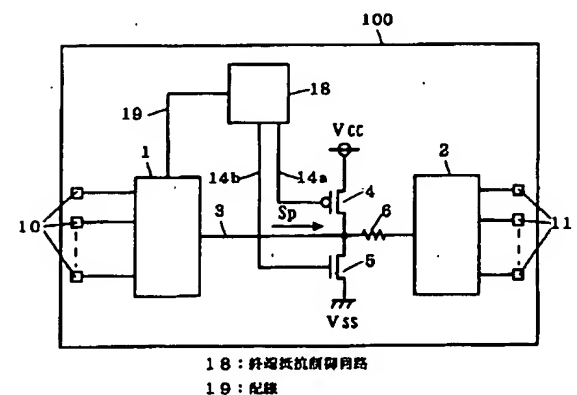
【図2】



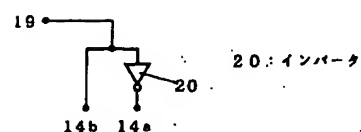
【図4】



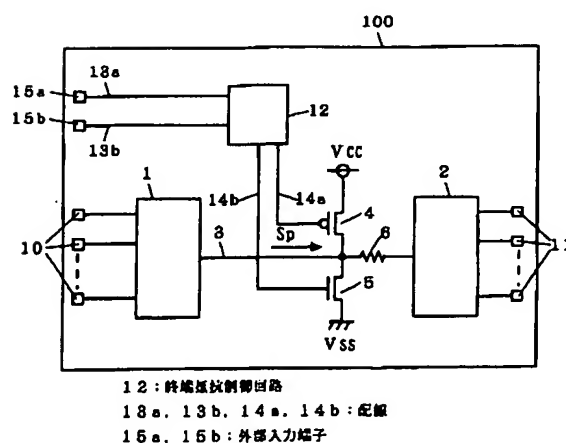
【図5】



【図6】

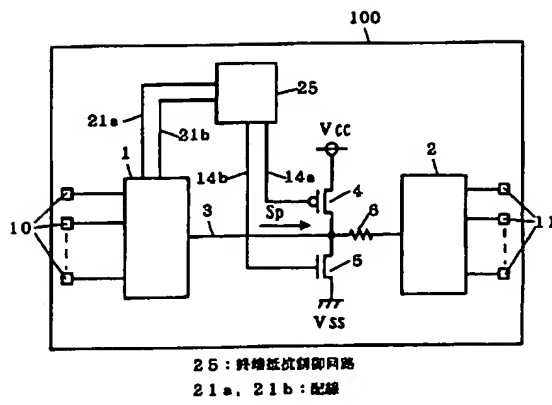


【図3】

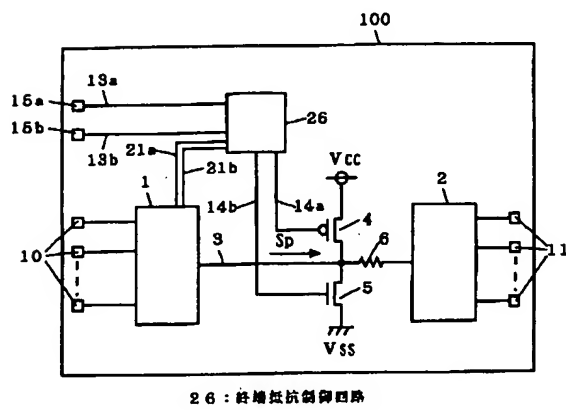




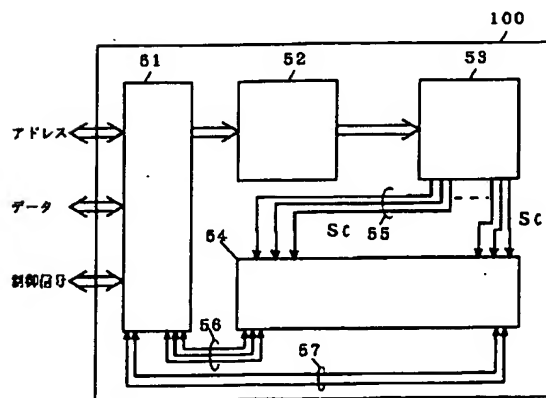
【図7】



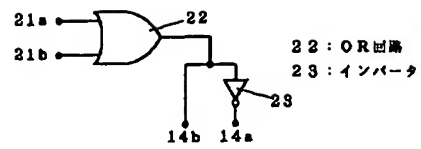
【図9】



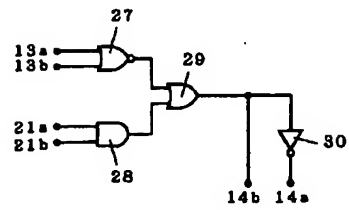
【図11】



【図8】



【図10】



【図12】

